

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-104535

(P2008-104535A)

(43) 公開日 平成20年5月8日(2008.5.8)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 1/00 (2006.01)	A 6 1 B 1/00 3 0 0 A	4 C 0 6 1
H 0 4 N 7/18 (2006.01)	H 0 4 N 7/18 M	5 C 0 5 4

審査請求 未請求 請求項の数 11 O L (全 10 頁)

(21) 出願番号 特願2006-288235 (P2006-288235)
 (22) 出願日 平成18年10月24日 (2006.10.24)

(71) 出願人 000000527
 ペンタックス株式会社
 東京都板橋区前野町2丁目36番9号
 (74) 代理人 100090169
 弁理士 松浦 孝
 (74) 代理人 100124497
 弁理士 小倉 洋樹
 (74) 代理人 100127306
 弁理士 野中 剛
 (74) 代理人 100129746
 弁理士 虎山 滋郎
 (74) 代理人 100132045
 弁理士 坪内 伸

最終頁に続く

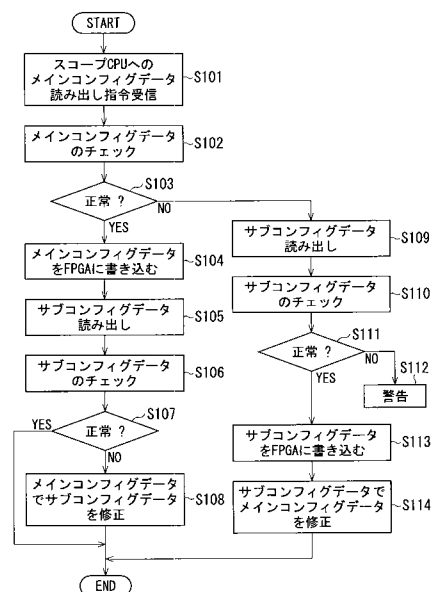
(54) 【発明の名称】 電子内視鏡装置

(57) 【要約】

【課題】常時正常なプログラムデータによって信号処理回路を構築する。

【解決手段】ビデオスコープがプロセッサに接続されると、メインコンフィグレーションデータをメモリから読み出し、データが正常であるか否かを判断する(S103)。正常である場合、メインコンフィグレーションデータをそのままFPGAに書き込む(S104)。一方、正常ではない場合、サブコンフィグレーションデータをメモリから読み出し、データが正常であるか否かを判断する(S109~S111)。そして、正常である場合、サブコンフィグレーションデータをFPGAに書き込む(S113)。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

信号処理に関するプログラムデータによって信号処理回路を構築するプログラミング可能な論理素子と、

同じデータ内容をもつ少なくとも 2 つのプログラムデータを格納可能なプログラムデータ用メモリと、

プログラムデータを前記プログラムデータから読み出し、前記論理素子へ選択的に書き込むプログラム制御手段とを備え、

前記プログラム制御手段が、

前記プログラムデータ用メモリに格納するため読み出されたプログラムデータが正常であるか否かを判断する判別手段と、

読み出されたプログラムデータが正常である場合、そのまま前記論理素子へ書き込む一方、正常ではない場合、他のプログラムデータを前記プログラムデータ用メモリから読み出して前記論理素子へ書き込む書き込み手段とを有することを特徴とする電子内視鏡装置。

10

【請求項 2】

前記判別手段が、読み出された他のプログラムデータが正常であるか否かを判断し、

前記書き込み手段が、他のプログラムデータが正常であると判断された場合に前記論理素子へ書き込むことを特徴とする請求項 1 に記載の電子内視鏡装置。

【請求項 3】

前記プログラム制御手段が、正常な他のプログラムデータに基づいて、正常でないと判断されたプログラムデータを修正することを特徴とする請求項 1 に記載の電子内視鏡装置。

20

【請求項 4】

前記プログラム制御手段が、読み出されなかった他のプログラムデータを読み出して正常であるか否かを判断する予備判断手段を有し、

他のプログラムデータが正常でないと判断された場合、前記論理素子へ書き込まれた正常なプログラムデータに基づいて、正常でないと判断されたプログラムデータを修正することを特徴とする請求項 1 に記載の電子内視鏡装置。

【請求項 5】

前記プログラムデータ用メモリが、ビデオスコープ内部に設けられていることを特徴とする請求項 1 に記載の電子内視鏡装置。

30

【請求項 6】

前記論理素子が、ビデオスコープ内部に設けられていることを特徴とする請求項 1 に記載の電子内視鏡装置。

【請求項 7】

前記プログラム制御手段が、ビデオスコープがプロセッサに接続された時プログラムデータを書き込むことを特徴とする請求項 1 に記載の電子内視鏡装置。

【請求項 8】

信号処理に関するプログラムデータによって信号処理回路を構築するプログラミング可能な論理素子と、

同じデータ内容をもつ少なくとも 2 つのプログラムデータを格納可能なプログラムデータ用メモリと、

プログラムデータを前記プログラムデータから読み出し、前記論理素子へ選択的に書き込むプログラム制御手段とを備え、

前記プログラム制御手段が、

前記プログラムデータ用メモリに格納するため読み出されたプログラムデータが正常であるか否かを判断する判別手段と、

読み出されたプログラムデータが正常である場合、そのまま前記論理素子へ書き込む一方、正常ではない場合、他のプログラムデータを読み出して前記論理素子へ書き込む書き

40

50

込み手段とを有することを特徴とする電子内視鏡装置のビデオスコープ。

【請求項 9】

内視鏡の信号処理に関するプログラムデータであって、同じデータ内容をもつ少なくとも 2 つのプログラムデータを格納可能なプログラムデータ用メモリから所定のプログラムデータを読み出し、読み出されたプログラムデータが正常であるか否かを判断する判別手段と、

読み出されたプログラムデータが正常である場合、信号処理に関するプログラムデータによって信号処理回路を構築するプログラミング可能な論理素子へ正常であると判断されたプログラムデータをそのまま書き込む一方、正常ではない場合、他のプログラムデータを前記プログラムデータ用メモリから読み出して前記論理素子へ書き込むプログラム制御手段と

10

を備えることを特徴とする内視鏡用信号処理装置。

【請求項 10】

内視鏡の信号処理に関するプログラムデータであって、同じデータ内容をもつ少なくとも 2 つのプログラムデータを格納可能なプログラムデータ用メモリから所定のプログラムデータを読み出し、読み出されたプログラムデータが正常であるか否かを判断する判別手段と、

読み出されたプログラムデータが正常である場合、信号処理に関するプログラムデータによって信号処理回路を構築するプログラミング可能な論理素子へ正常であると判断されたプログラムデータをそのまま書き込む一方、正常ではない場合、他のプログラムデータを前記プログラムデータ用メモリから読み出して前記論理素子へ書き込むプログラム制御手段と

20

を機能させることを特徴とするプログラム。

【請求項 11】

内視鏡の信号処理に関するプログラムデータであって、同じデータ内容をもつ少なくとも 2 つのプログラムデータを格納可能なプログラムデータ用メモリから所定のプログラムデータを読み出し、読み出されたプログラムデータが正常であるか否かを判断し、

読み出されたプログラムデータが正常である場合、信号処理に関するプログラムデータによって信号処理回路を構築するプログラミング可能な論理素子へ正常であると判断されたプログラムデータをそのまま書き込む一方、正常ではない場合、他のプログラムデータを前記プログラムデータ用メモリから読み出して前記論理素子へ書き込むことを特徴とする内視鏡用信号処理方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ビデオスコープを備えた電子内視鏡装置に関する。特に、プログラミング可能な論理素子によって信号処理回路を構築する電子内視鏡装置に関する。

【背景技術】

【0002】

電子内視鏡装置のビデオスコープには、スコープ先端部の撮像素子から読み出される画像信号を処理するための信号処理回路が設けられている。ビデオスコープの特性、撮像素子の特性に合った信号処理回路を構築する、あるいは信号処理機能を修正、バージョンアップするため、FPGA (Field Programmable Gate Array) などの PLD (Programmable Logic Device) が基板に組み込まれており、プログラムデータに基づいた信号処理動作を実行する。すなわち、信号処理回路の設計図となるコンフィグレーションデータ等のプログラムデータを書き込むことによって、信号処理回路を構築する (特許文献 1、特許文献 2 参照)。

40

【特許文献 1】特開 2005 - 65871 号公報

【特許文献 2】特許第 3382973 号公報

【発明の開示】

50

【発明が解決しようとする課題】**【0003】**

ビデオ스코プのプロセッサ接続時における過電流等に起因して、コンフィグレーションデータが消去され、あるいはデータの一部分が欠損する恐れがある。そのため、使用状況に関係なく安定したプログラムデータの書き込み処理が要求される。

【課題を解決するための手段】**【0004】**

本発明の電子内視鏡装置は、プログラミングデータによって所定の信号処理機能を設定可能な電子内視鏡装置であり、信号処理に関するプログラムデータによって信号処理回路を構築するプログラミング可能な論理素子を備える。PLD (Programmable Logic Device) といったプログラミング可能な論理素子としては、FPGA、CPLD、PLAなど任意の論理素子が適用可能である。電子内視鏡装置は、コンフィグレーションデータなどのプログラムデータを格納可能なプログラムデータ用メモリと、論理素子へプログラムデータを選択的に書き込み可能なプログラム制御手段とを備える。プログラムデータ用メモリは、例えば、ビデオ스코プ内部に設けられ、また、論理素子は、例えばビデオ스코プ内部に設けられる。

【0005】

本発明では、同じデータ内容をもつ少なくとも2つのプログラムデータがプログラムデータ用メモリに格納されている。そして、プログラム制御手段が、プログラムデータ用メモリから読み出されたプログラムデータが正常であるか否かを判断する判別手段と、読み出されたプログラムデータが正常である場合、そのまま論理素子へ書き込む一方、正常ではない場合、他のプログラムデータをプログラムデータ用メモリから読み出して論理素子へ書き込むことを特徴とする。

【0006】

例えば、プログラムデータメモリから読み出して専用回路に書き込み、データ正常判断処理を行えばよい。データ正常判断に関しては、例えばデータ総和値が正常な場合の総和値と一致するか否かを判断するなど、任意のデータチェック処理が実行可能である。プログラムデータの数としては、例えば2つのデータ、メインコンフィグレーションデータと予備用のサブコンフィグレーションデータとを用意し、最初にメインコンフィグレーションデータを読み出し、正常でない場合にサブコンフィグレーションデータを書き込むようにする。

【0007】

読み出すべき他のプログラムデータが正常でない恐れもあるため、判別手段は、読み出された他のプログラムデータが正常であるか否かを判断するのが望ましい。この場合、書き込み手段は、他のプログラムデータが正常であると判断された場合にのみ論理素子へ書き込む。他のプログラムデータも正常でないと判断された場合、さらに別のプログラムデータを書き込むようにすればよい。

【0008】

次の使用時において、正常でないと判断されたプログラムデータを利用可能にするため、プログラム制御手段は、正常な他のプログラムデータに基づいて、正常でないと判断されたプログラムデータを上書きなどによって修正するのが望ましい。

【0009】

また、使用されていない他のプログラムデータをチェックし、常時正常なプログラムデータをバックアップとして格納するため、読み出されていなかった他のプログラムデータを読み出して正常であるか否かを判断する予備判断手段を設けるのがよい。プログラム制御手段は、読み出された他のプログラムデータが正常でない場合、論理素子へ書き込まれた正常なプログラムデータに基づいて、正常でないプログラムデータを修正するのが望ましい。

【0010】

本発明の電子内視鏡装置のビデオ스코プは、信号処理に関するプログラムデータによ

10

20

30

40

50

って信号処理回路を構築するプログラミング可能な論理素子と、同じデータ内容をもつ少なくとも2つのプログラムデータを格納可能なプログラムデータ用メモリと、プログラムデータをプログラムデータから読み出し、論理素子へ選択的に書き込むプログラム制御手段とを備え、プログラム制御手段が、プログラムデータ用メモリに格納するため読み出されたプログラムデータが正常であるか否かを判断する判別手段と、読み出されたプログラムデータが正常である場合、そのまま論理素子へ書き込む一方、正常ではない場合、他のプログラムデータを読み出して論理素子へ書き込む書き込み手段とを有することを特徴とする。

【0011】

本発明の内視鏡用信号処理装置は、内視鏡の信号処理に関するプログラムデータであって、同じデータ内容をもつ少なくとも2つのプログラムデータを格納可能なプログラムデータ用メモリから所定のプログラムデータを読み出し、読み出されたプログラムデータが正常であるか否かを判断する判別手段と、読み出されたプログラムデータが正常である場合、信号処理に関するプログラムデータによって信号処理回路を構築するプログラミング可能な論理素子へ正常であると判断されたプログラムデータをそのまま書き込む一方、正常ではない場合、他のプログラムデータをプログラムデータ用メモリから読み出して論理素子へ書き込むプログラム制御手段とを備えることを特徴とする。

【0012】

本発明のプログラムは、内視鏡の信号処理に関するプログラムデータであって、同じデータ内容をもつ少なくとも2つのプログラムデータを格納可能なプログラムデータ用メモリから所定のプログラムデータを読み出し、読み出されたプログラムデータが正常であるか否かを判断する判別手段と、読み出されたプログラムデータが正常である場合、信号処理に関するプログラムデータによって信号処理回路を構築するプログラミング可能な論理素子へ正常であると判断されたプログラムデータをそのまま書き込む一方、正常ではない場合、他のプログラムデータをプログラムデータ用メモリから読み出して論理素子へ書き込むプログラム制御手段とを機能させることを特徴とする。

【0013】

本発明の内視鏡用信号処理方法は、内視鏡の信号処理に関するプログラムデータであって、同じデータ内容をもつ少なくとも2つのプログラムデータを格納可能なプログラムデータ用メモリから所定のプログラムデータを読み出し、読み出されたプログラムデータが正常であるか否かを判断し、読み出されたプログラムデータが正常である場合、信号処理に関するプログラムデータによって信号処理回路を構築するプログラミング可能な論理素子へ正常であると判断されたプログラムデータをそのまま書き込む一方、正常ではない場合、他のプログラムデータをプログラムデータ用メモリから読み出して論理素子へ書き込むことを特徴とする。

【発明の効果】

【0014】

本発明によれば、常時正常なプログラムデータによって信号処理回路を構築することができる。

【発明を実施するための最良の形態】

【0015】

以下では、図面を参照して本発明の実施形態について説明する。

【0016】

図1は、第1の実施形態である電子内視鏡装置のブロック図である。

【0017】

電子内視鏡装置は、ビデオスコープ10とプロセッサ30とを備え、プロセッサ30には、モニタ40が接続される。ビデオスコープ10は、プロセッサ30に着脱自在に接続され、ビデオスコープ10がプロセッサ30に接続されると、電源がプロセッサ30からビデオスコープ10へ供給される。これにより、ビデオスコープ10が電源ON状態になる。

10

20

30

40

50

【 0 0 1 8 】

プロセッサ 3 0 内のランプ 3 4 が点灯すると、ランプ 3 4 から放射された光は、絞り 3 6、集光レンズ（図示せず）を介してライトガイド 1 2 の入射端 1 2 A に入射する。ライトガイド 1 2 はランプ 3 4 の光をスコープ先端部へ伝達し、ライトガイド 1 2 を通った光は、配光レンズ（図示せず）を介してスコープ先端部から射出する。これにより、観察部位が照明される。

【 0 0 1 9 】

観察部位において反射した光は、対物レンズ（図示せず）を通り、C C D 1 4 の受光面に到達する。これにより、被写体像が C C D 1 4 に形成され、被写体像に応じた画像信号が生成される。画像信号は C C D 1 4 から一定の時間間隔で読み出され、初期回路 1 6 へ送られる。初期回路 1 6 では、増幅処理、A / D 変換などの信号処理が施され、処理された画像信号は、プロセッサ 3 0 の信号処理回路 3 2 へ送られる。C C D 1 4 からの画像信号読み出しは、C C D ドライバ 1 8 によって制御され、ここでは、ビデオ規格として N T S C 方式に従い、1 フィールド分の画像信号が 1 / 6 0 秒間隔で読み出される。

【 0 0 2 0 】

画像信号処理回路 3 2 では、ホワイトバランス調整、ガンマ補正など画像信号に対して様々な処理が施され、所定のビデオ規格に従った映像信号が生成される。生成された映像信号はモニタ 4 0 へ出力され、これにより、観察画像がモニタ 7 0 に表示される。また、画像信号処理回路 3 2 では、画像信号に基づいて輝度信号が生成される。C P U、R O M、R A M を含むシステムコントロール回路 3 1 は、プロセッサ 3 0 の動作を制御し、画像信号処理回路 3 2 など各回路へ制御信号を出力する。

【 0 0 2 1 】

絞り 3 6 は、ランプ 3 4 からの照明光の光量を調整するため開閉し、モータなどの駆動部（図示せず）によって駆動される。調光回路 3 3 は、画像信号処理回路 3 2 から送られてくる輝度データに基づき、モニタ 4 0 に表示される被写体像が適正な明るさで維持されるように、絞り 2 6 の開閉動作を制御する。

【 0 0 2 2 】

ビデオスコープ 1 0 には、スコープ C P U 1 1 が設けられており、スコープ C P U 1 1 はビデオスコープ 1 0 の動作を制御する。図示しないビデオスコープ 1 0 内の R O M には、動作制御プログラムが書き込まれている。ビデオスコープ 1 0 がプロセッサ 3 0 に接続されると、通信ピン 2 3 を介してスコープ接続が検出され、システムコントロール回路 3 1 とスコープ C P U 1 1 との間でデータ通信が相互に行われる。

【 0 0 2 3 】

プログラマブルな集積回路である F P G A（Field Programmable Gate Array）1 3 は、コンフィグレーションデータに基づいて信号処理回路を構築する。コンフィグレーションデータは、ビデオスコープ 1 0 内の基板に組み込まれる信号処理回路の機能を設定可能なプログラムデータであり、F P G A 1 3 は、コンフィグレーションデータに合わせ処理、演算を実行する。ビデオスコープ 1 0 の信号処理回路 1 9 を構成する C C D ドライバ 1 8、初期回路 2 3 は、F P G A 1 3 に設定された演算処理動作に基づいて駆動、信号処理回路等が制御される。

【 0 0 2 4 】

L S I 2 1 に搭載された R O M などのメモリ 1 7 には、コンフィグレーションデータがあらかじめ格納されており、ここでは、同一データ内容であるメインコンフィグレーションデータとサブコンフィグレーションデータとが格納されている。コンフィグデータ回路 1 5 には、メモリ 1 7 から読み出されたメイン（もしくはサブ）コンフィグレーションデータが書き込まれ、後述するようにスコープ C P U 1 1 によってコンフィグレーションデータがチェックされる。そして、F P G A 1 3 に対してメイン（もしくはサブ）コンフィグレーションデータが書き込まれる。

【 0 0 2 5 】

図 2 は、スコープ C P U 1 1 によって実行されるコンフィグレーションデータの書き込

10

20

30

40

50

み処理を示したフローチャートである。ビデオスコープ10がプロセッサ30に接続されてビデオスコープ10へ電源が供給されると、処理が開始される。

【0026】

ステップS101では、スコープCPU11によってメインコンフィグレーションデータがメモリ17から読み出され、コンフィグデータ回路15へ送られる。そして、ステップS102では、メインコンフィグレーションデータが正常であるか否かを判断するためデータの総和が計算される。

【0027】

ステップS103では、データの総和値がデータ正常時に算出される目標値と一致しているか否か、すなわちメインコンフィグレーションデータにバグ、欠損など異常がなく、正常であるか否かが判断される。目標値は、あらかじめ図示しないROMに格納されており、スコープCPU11は、記憶された目標値に基づいてデータ異常を検出する。

10

【0028】

ステップS103において、メインコンフィグレーションデータが正常ではないと判断された場合、ステップS109へ進み、サブコンフィグレーションデータがメモリ17から読み出される。そして、ステップS110では、サブコンフィグレーションデータの総和が演算される。ステップS111では、サブコンフィグレーションデータの総和が目標値と一致するか、すなわちサブコンフィグレーションデータが正常であるか否かが判断される。

【0029】

20

ステップS111において、サブコンフィグレーションデータが正常ではないと判断された場合、ステップ112へ進み、モニタ40に警告表示するため、スコープCPU11からシステムコントロール回路32へ制御信号が出力される。システムコントロール回路31は、警告に関する文字情報を表示するように、画像信号処理回路32を制御する。

【0030】

一方、ステップS111において、サブコンフィグレーションデータが正常であると判断された場合、ステップS113へ進み、サブコンフィグレーションデータがFPGA13へ書き込まれる。これにより、サブコンフィグレーションデータに基づいて信号処理回路19の諸機能が設定される。そしてステップS114では、正常であるサブコンフィグレーションデータがメモリ17の欠陥のあるメインコンフィグレーションデータに上書きされ、メインコンフィグレーションデータが修正される。

30

【0031】

一方、ステップS103において、メインコンフィグレーションデータが正常であると判断された場合、ステップS104へ進み、メインコンフィグレーションデータがFPGA13に書き込まれる。これにより、メインコンフィグレーションデータに基づいて信号処理回路19の諸機能が設定される。

【0032】

ステップS105では、サブコンフィグレーションデータがメモリ17から読み出されてコンフィグデータ回路15へ送信され、ステップS106では、サブコンフィグレーションデータの総和が演算される。そしてステップS107では、サブコンフィグレーションデータが正常であるか否かが判断される。

40

【0033】

ステップS107においてサブコンフィグレーションデータが正常ではないと判断された場合、ステップS108へ進み、正常であるメインコンフィグレーションデータが欠陥のあるサブコンフィグレーションデータに上書きされる。これにより、サブコンフィグレーションデータが修正される。

【0034】

以上のように本実施形態によれば、ビデオスコープ10がプロセッサ30に接続されると、メインコンフィグレーションデータがメモリ17から読み出され、データが正常であるか否かが判断される(S103)。正常である場合、メインコンフィグレーションデー

50

タがそのまま F P G A 1 3 に書き込まれる (S 1 0 4)。一方、正常ではない場合、サブコンフィグレーションデータがメモリ 1 7 から読み出され、データが正常であるか否かが判断される (S 1 0 9 ~ S 1 1 1)。そして、正常である場合、サブコンフィグレーションデータが F P G A 1 3 に書き込まれる (S 1 1 3)。

【 0 0 3 5 】

このような処理により、コンフィグレーションデータに欠陥があった場合にも、バックアップ用のコンフィグレーションデータによって正常に信号処理回路が構築され、色再現なども常時統一される。

【 0 0 3 6 】

また、メインコンフィグレーションデータが正常でない場合、正常なサブコンフィグレーションデータによって修正されるため、次回使用時においても利用可能となる。また、使用されていないサブコンフィグレーションデータについてもデータチェックするため、常にバックアップ用のコンフィグレーションデータが正常な状態で維持される。

【 0 0 3 7 】

プログラミング可能な論理素子としては、P L A、G A L など他の論理素子 (P L D) を適用してもよい。ビデオスコープ内の信号処理回路の構成は任意であり、ホワイトバランス等の画像信号処理を実行してもよい。同一内容のコンフィグレーションデータを 3 つ以上用意してもよく、データ内容の異なるコンフィグレーションデータそれぞれに 2 つ以上のデータを用意してもよい。

【 0 0 3 8 】

データのチェック処理としては、総和値の比較、判断以外の処理で実行してもよい。また、スコープ接続時以外においてチェック処理を行ってもよい。また、サブコンフィグレーションデータについて正常である可能性が高いことを考慮すれば、データの正常判断を行わず、そのままサブコンフィグレーションデータを書き込むように構成してもよい。F G P A、コンフィグレーションデータ用メモリなどは、プロセッサ側に組み込むように構成してもよい。コンフィグレーションの修正は、スコープ接続時だけでなく、内視鏡動作中において行ってもよい。

【図面の簡単な説明】

【 0 0 3 9 】

【図 1】第 1 の実施形態である電子内視鏡装置のブロック図である。

【図 2】スコープ C P U によって実行されるコンフィグレーションデータの書き込み処理を示したフローチャートである。

【符号の説明】

【 0 0 4 0 】

- 1 0 ビデオスコープ
- 1 1 スコープ C P U
- 1 3 F P G A
- 1 5 コンフィグデータ回路
- 1 7 メモリ
- 3 0 プロセッサ

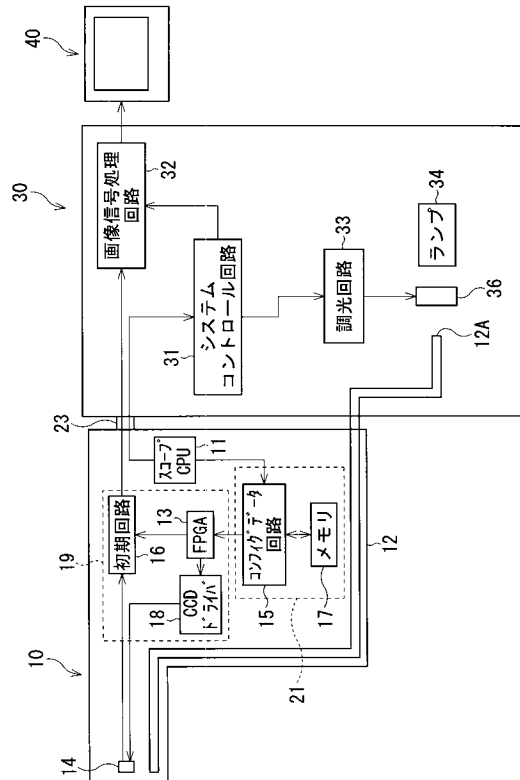
10

20

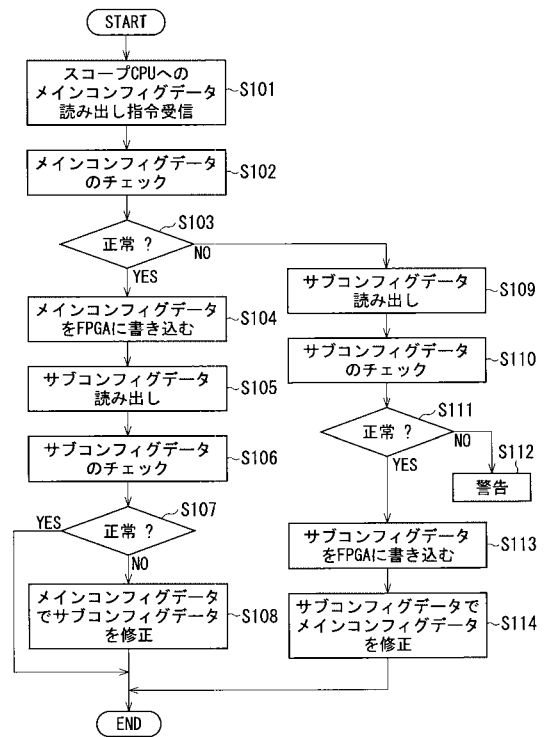
30

40

【図 1】



【図 2】



フロントページの続き

(72)発明者 丹内 克哉

東京都板橋区前野町 2 丁目 3 6 番 9 号 ペンタックス株式会社内

F ターム(参考) 4C061 AA00 BB00 CC00 DD00 FF11 JJ11 NN07 YY02 YY14 YY18
5C054 CC03 CH01 DA08 GA04 HA12

专利名称(译)	电子内视镜装置		
公开(公告)号	JP2008104535A	公开(公告)日	2008-05-08
申请号	JP2006288235	申请日	2006-10-24
[标]申请(专利权)人(译)	旭光学工业株式会社		
申请(专利权)人(译)	宾得株式会社		
[标]发明人	丹内克哉		
发明人	丹内 克哉		
IPC分类号	A61B1/00 H04N7/18		
CPC分类号	H04N5/232 A61B1/00057 A61B1/045 A61B1/05 H04N5/23225 H04N2005/2255		
FI分类号	A61B1/00.300.A H04N7/18.M A61B1/00.710 A61B1/045.611		
F-TERM分类号	4C061/AA00 4C061/BB00 4C061/CC00 4C061/DD00 4C061/FF11 4C061/JJ11 4C061/NN07 4C061/YY02 4C061/YY14 4C061/YY18 5C054/CC03 5C054/CH01 5C054/DA08 5C054/GA04 5C054/HA12 4C161/AA00 4C161/BB00 4C161/CC00 4C161/DD00 4C161/FF11 4C161/JJ11 4C161/NN07 4C161/YY02 4C161/YY14 4C161/YY18		
代理人(译)	松浦 孝 野刚		
外部链接	Espacenet		

摘要(译)

信号处理电路由总是正常的程序数据构成。当视频示波器连接到处理器时，从存储器读取主配置数据，并确定数据是否正常（S103）。如果正常，则将主配置数据原样写入FPGA（S104）。另一方面，如果不正常，则从存储器读取子配置数据，并确定数据是否正常（S109至S111）。然后，如果正常，则将子配置数据写入FPGA（S113）。[选择图]图2

